

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2003 EPO. All rts. reserv.

2751741

Basic Patent (No,Kind,Date): JP 54070762 A2 790606 <No. of Patents: 001>

SEMICONDUCTOR DEVICE (English)

Patent Assignee: DAINI SEIKOSHA KK

Author (Inventor): KAWANABE ISAMU

IPC: *H01L-021/265;

Derwent WPI Acc No: *C 79-53282B;

JAPIO Reference No: *030092E000103;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 54070762	A2	790606	JP 77137566	A	771116 (BASIC)

Priority Data (No,Kind,Date):

JP 77137566 A 771116

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

00418762

SEMICONDUCTOR DEVICE

PUB. NO.: 54-070762 [JP 54070762 A]

PUBLISHED: June 06, 1979 (19790606)

INVENTOR(s): KAWANABE ISAMU

APPLICANT(s): SEIKO INSTR & ELECTRONICS LTD [000232] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 52-137566 [JP 77137566]

FILED: November 16, 1977 (19771116)

INTL CLASS: [2] H01L-021/265

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);

R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 128, Vol. 03, No. 92, Pg. 103, August 04, 1979 (19790804)

ABSTRACT

PURPOSE: To form the source, the gate and the drain at one time by injecting the impurity ion from above the oxide film featuring varies thickness.

CONSTITUTION: Oxide film 5 and 6 at the drain and source parts are set to the same thickness, and B(sup +)7 of a fixed acceleration voltage is injected to form the self-matching gate simultaneously. In this method, the number of the manufacturing processes can be decreased greatly.

BEST AVAILABLE COPY

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報 (A)

昭54—70762

⑬Int. Cl.²
H 01 L 21/265

識別記号 ⑭日本分類
99(5) B 1

庁内整理番号 ⑮公開 昭和54年(1979)6月6日
6684—5F

発明の数 1
審査請求 未請求

(全 2 頁)

⑯半導体装置

⑰特 願 昭52—137566
⑱出 願 昭52(1977)11月16日
⑲発 明 者 川鍋勇
東京都江東区亀戸6丁目31番1

号 株式会社第二精工舎内
⑳出 願 人 株式会社第二精工舎
東京都江東区亀戸6丁目31番1
号
㉑代 理 人 弁理士 最上務

明 細 書

発明の名称 半導体装置

特許請求の範囲

- (1) 厚みの異なる酸化膜上から、イオンインプラネーション技術を用いて、同時に不純物を打ち込むことを特徴とする半導体装置。
- (2) 不純物に、B（ボロン）を用いたことを特徴とする特許請求の範囲第1項記載の半導体装置。
- (3) 不純物に、P（リン）を用いたことを特徴とする特許請求の範囲第1項記載の半導体装置。

発明の詳細な説明

本発明は、イオン・インプラネーション技術を用いて、厚みを変えることにより、酸化膜上から同時に不純物を打ち込むという半導体装置に関するものであります。

従来は、酸化膜をオキシサイド・エッチングをした後に、不純物を拡散されるべき表面の領域に、

デポジションしてから、熱拡散を行なつて、ドレイン、ソース領域に不純物を拡散して後に、イオン打ち込みにより、ドレイン、ソースの拡散領域をゲート下まで広め、セルフアラインドゲートを構成していた。

本発明の目的は、上述の酸化膜をオキシサイド・エッチングで除去してから、熱拡散をしてイオンを打ち込んでいたことを、イオン・インプラネーションを用いて、厚みの異なる酸化膜上から、不純物を同時にドレイン、ソース、ゲートと打ち込むことにより、欠点を解決したことにあります。

以下、本発明による装置の構造と実施例について、図面を参照して説明すると、第1図(a)の断面図は、従来のPチャネル・トランジスタにイオン・インプラネーション技術により、B⁺（ホウ素イオン）の注入を行なっているところであり、第1図(b)は、イオンを打ち込んだ後の図であります。第2図(a)は、異なる酸化膜上からB⁺（ホウ素イオン）を注入しているところであり、第2図は、イオンを打ち込んだ後の図であ

ります。

つぎに構造について具体的に説明をする。今、第2図(a)において、ドレインとなる部分1a、ソースとなる部分2a、ゲート3の膜厚を各々変えて、第2図(b)のドレイン1b、ソース2bの拡散深さ4は同じになるよう、ドレイン酸化膜5、ソース酸化膜6は同じ厚みにし、一定の加速電圧 V_0 をもつた B^+ (ホウ素イオン)7をイオン打ち込み法により、同時に、ドレインとなる部分1a、ソースとなる部分2a、ゲート3に打ち込むことにより、セルフアラインド・ゲートを構成する。

以上のことから、本発明による装置は、イオンインプランテーション技術を用いて、厚みの異なる酸化膜上から、同時に不純物を打ち込むことにより、プロセスの簡略化、また工程数が少なくて済むという効果を有する。

図面の簡単な説明

第1図(a)は、従来のMOS構造のイオン注

- 3 -

入時の断面図であり、(b)は注入後の断面図であります。

第2図(a)は、本発明による酸化膜の厚みを変え、同時に膜上から注入した時の断面図であり、(b)は注入後の断面図であります。

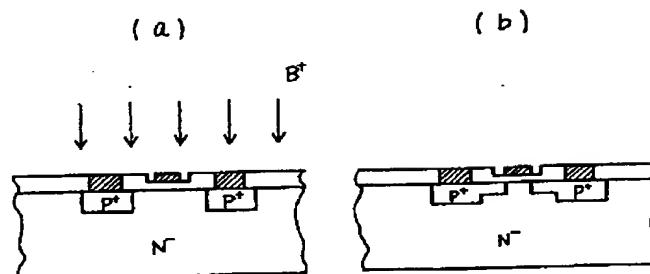
- 1a …… ドレインとなる部分
- 1b …… ドレイン
- 2a …… ソースとなる部分
- 2b …… ソース
- 3 …… ゲート
- 4 …… 拡散深さ
- 5 …… ドレイン酸化膜
- 6 …… ソース酸化膜
- 7 …… B^+ (ホウ素イオン)

以 上

代理人 最 上 務

- 4 -

第1図



第2図

